

PATENT ABSTRACTS OF JAPAN

(11) Publication number : **08-015731**
 (43) Date of publication of application : **19.01.1996**

(51) Int.Cl.

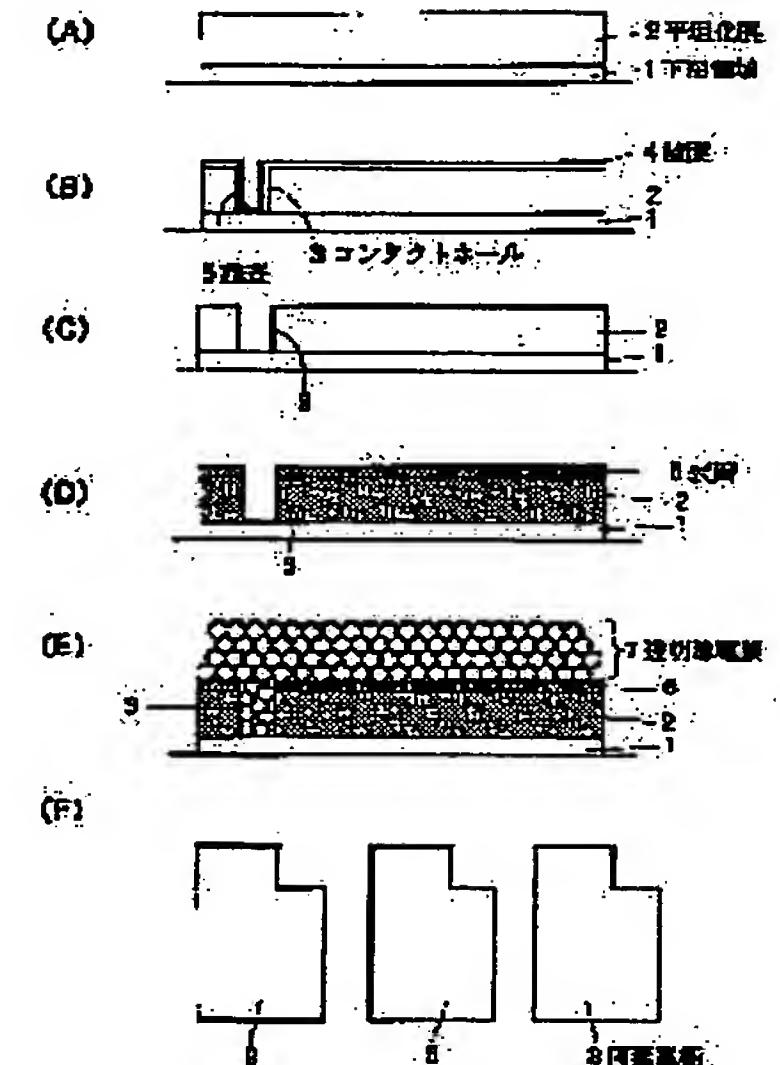
G02F 1/136**G02F 1/1333****H01L 29/786**(21) Application number : **06-166044**(22) Date of filing : **24.06.1994**(71) Applicant : **SONY CORP**(72) Inventor : **NODA KAZUHIRO
KADOTA HISASHI
NAKAMURA SHINJI
HAYASHI HISAO**

(54) PRODUCTION OF SUBSTRATE FOR DISPLAY

(57) Abstract:

PURPOSE: To improve film forming conditions for a transparent conductive film at the time of flattening the surfaces of substrates for display.

CONSTITUTION: Thin-film transistors are first integrated and formed on a substrate and this substrate is provided with lower layer regions 1 at the time of producing the substrates for display. Next, flattening films 2 are applied thereon to fill the fine ruggedness of the surfaces of the lower layer regions 1. In succession, the flattening films 2 are selectively etched and are provided with contact holes 3 communicating with the lower layer regions 1. Further, the flattening films 2 are subjected to a surface ashing treatment to remove the etching residues 5 in the contact holes 3. In succession, the flattening films 2 are subjected to a heat treatment, by which the surface condition thereof is made uniformly dense and smooth. The transparent conductive film 7 is thereafter formed on the surfaces of the flattening films 2 which are made denser and smoother. Finally, the transparent conductive film 7 is patterned, by which the pixel electrodes 8 are formed in a matrix form. Consequently, the upper layer regions conducting to the lower layer regions 1 are formed via the contact holes 3.



LEGAL STATUS

[Date of request for examination] **22.05.2000**

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] **3221240**

[Date of registration] **17.08.2001**

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-15731

(43) 公開日 平成8年(1996)1月19日

(51) Int.Cl.⁶

G 0 2 F 1/136 5 0 0
1/1333 5 0 0

H 0 1 L 29/786

識別記号

府内整理番号

F I

技術表示箇所

9056-4M

H 0 1 L 29/78

3 1 1 A

審査請求 未請求 請求項の数 6 FD (全 12 頁)

(21) 出願番号

特願平6-166044

(22) 出願日

平成6年(1994)6月24日

(71) 出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者

野田 和宏

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(72) 発明者

門田 久志

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(72) 発明者

中村 真治

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(74) 代理人

弁理士 鈴木 晴敏

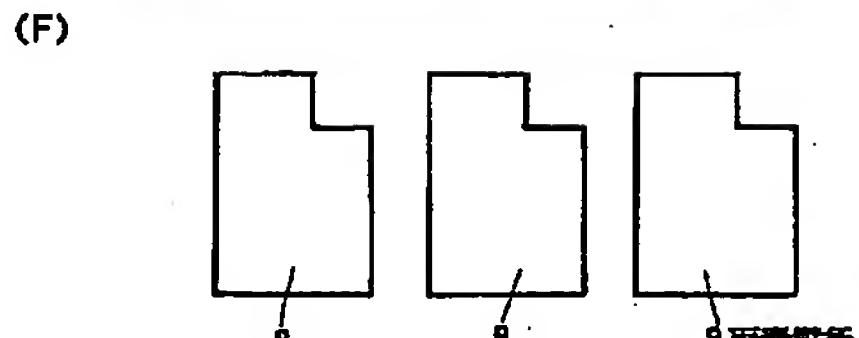
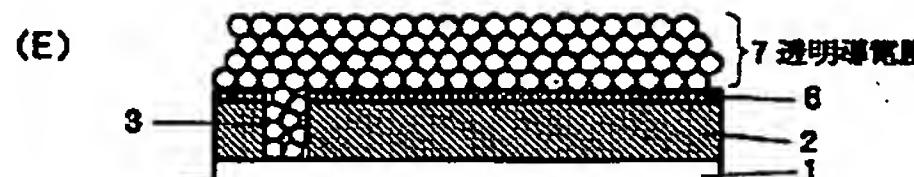
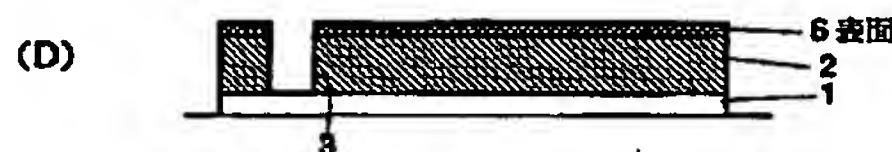
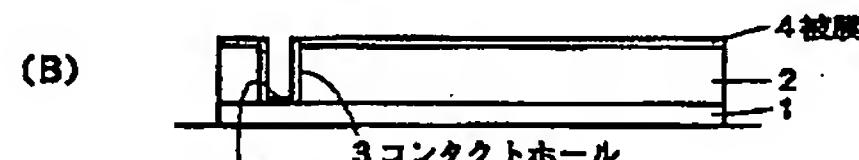
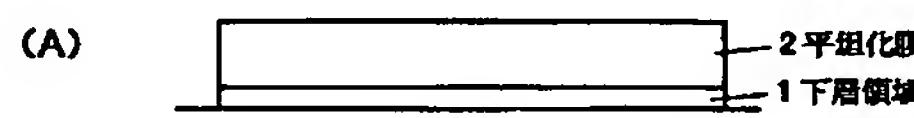
最終頁に続く

(54) 【発明の名称】 表示用基板の製造方法

(57) 【要約】

【目的】 表示用基板表面の平坦化を図る際、透明導電膜の成膜条件を改善する。

【構成】 表示用基板を製造する際、最初に基板上に薄膜トランジスタを集積形成して下層領域1を設ける。次に、平坦化膜2を塗布して下層領域1表面の微細な凹凸を埋める。続いて、平坦化膜2を選択的にエッチングして下層領域1に連通するコンタクトホール3を設ける。さらに平坦化膜2に対して表面灰化処理を施しコンタクトホール3内のエッティング残渣5を除去する。続いて、平坦化膜2を加熱処理してその表面状態を一様に緻密化及び平滑化する。この後、緻密化及び平滑化された平坦化膜2の表面6に透明導電膜7を成膜する。最後に、透明導電膜7をバタニングしてマトリクス状の画素電極8を形成する。この結果、コンタクトホール3を介して下層領域1に導通する上層領域が設けられる。



【特許請求の範囲】

【請求項1】 基板上に薄膜トランジスタを集積形成して下層領域とする第一工程と、該下層領域表面の凹凸を埋める様に平坦化膜を形成する第二工程と、該平坦化膜を選択的にエッチングして該下層領域に連通するコンタクトホールを設ける第三工程と、該平坦化膜に対して表面灰化処理を施しコンタクトホール内のエッティング残渣を除去する第四工程と、該平坦化膜を加熱処理してその表面状態を一様に緻密化及び平滑化する第五工程と、緻密化及び平滑化された該平坦化膜の表面に透明導電膜を成膜する第六工程と、該透明導電膜をバタニングしてマトリクス状の画素電極を形成し該コンタクトホールを介して下層領域に導通する上層領域とする第七工程とを行なう表示用基板の製造方法。

【請求項2】 第二工程の形成段階で平坦化膜の仮焼成を行ない、第五工程の加熱処理段階で平坦化膜の本焼成を行なう請求項1記載の表示用基板の製造方法。

【請求項3】 第三工程の選択的エッティングでは、感光性を有する平坦化膜に対し写真蝕刻を適用してコンタクトホールを開口する請求項1記載の表示用基板の製造方法。

【請求項4】 第四工程の表面灰化処理では、酸素プラズマを用いたアッシングを行ないコンタクトホール内の残渣を除去する請求項1記載の表示用基板の製造方法。

【請求項5】 第六工程は、インジウムと錫の複合酸化物をスパッタリングして透明導電膜を成膜する請求項1記載の表示用基板の製造方法。

【請求項6】 基板上に薄膜トランジスタを集積形成して下層領域とする第一工程と、該下層領域表面の凹凸を埋める様に平坦化膜を形成する第二工程と、該平坦化膜を選択的にエッチングして該下層領域に連通するコンタクトホールを設ける第三工程と、該平坦化膜に対して表面灰化処理を施しコンタクトホール内のエッティング残渣を除去する第四工程と、該平坦化膜を加熱処理してその表面状態を一様に緻密化及び平滑化する第五工程と、緻密化及び平滑化された該平坦化膜の表面に透明導電膜を成膜する第六工程と、該透明導電膜をバタニングしてマトリクス状の画素電極を形成する事により該コンタクトホールを介して下層領域に導通する上層領域を設け表示用基板とする第七工程と、所定の間隙を介して該表示用基板に対向基板を接合し、該間隙に液晶を注入する第八工程とを行なう液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、画素電極とスイッチング用の薄膜トランジスタとが集積的に形成された表示用基板の製造方法に関する。より詳しくは、表示用基板表面の平坦化技術及びその上に形成される画素電極の成膜技術に関する。

【0002】

【従来の技術】 図11を参照して、従来の表示用基板を用いて組み立てられたアクティブマトリクス型液晶表示装置の一般的な構造を簡潔に説明する。下側の基板101の表面には薄膜トランジスタ102が集積的に形成されている。薄膜トランジスタ102のソース領域Sには第一層間絶縁膜103を介して金属配線バタン104が電気接続している。又、薄膜トランジスタ102のドレイン領域Dには第一層間絶縁膜103及び第二層間絶縁膜105を介して画素電極106が電気接続している。第二層間絶縁膜105の表面は配向膜107により被覆されている。この様に、薄膜トランジスタ102及び画素電極106が集積的に形成された下側の基板101

20 を、以下表示用基板と呼ぶ事にする。この表示用基板101には所定の間隙を介して上側の基板108が対面配置している。上側の基板108の内表面には対向電極109及び配向膜110が形成されており、以下対向基板と呼ぶ事にする。両基板101、108の間隙には、配向膜107、110によって配向制御された液晶111が保持されている。かかる構成を有するアクティブマトリクス型液晶表示装置において、薄膜トランジスタ102のゲート電極Gに選択信号を印加した状態で、金属配線バタン104を介し画像信号を供給すると、画素電極106に所定の信号電荷が書き込まれる。この画素電極106と対向電極110との間に生じた電圧により、液晶111の分子配列が変化し、所望の画像表示が行なわれる。

【0003】

【発明が解決しようとする課題】 図11に示した従来構造では、表示用基板101に薄膜トランジスタ102や金属配線バタン104が集積形成されており、その表面は起伏が激しく無数の凹凸や段差を含んでいる。この為、液晶111の配向制御が困難であり均一な画像表示を得る事ができないという課題がある。特に、段差部分では液晶の配向が乱れプレチルト角が逆転したりバースチルトドメインが発生し表示品位が著しく損なわれる。さらに、画素ピッチの微細化及びチップサイズの小型化に伴ない、製造工程上様々な問題が顕在化している。例えば、表示用基板表面の凹凸が激しい為配向膜の厚みむらが生じる。又これと関連して、配向膜の均一なラビング処理が困難である。加えて、従来の構造では表示用基板表面の凹凸の影響を受け、液晶に印加される電界の方向が不均一になり、一様な透過率制御が困難になる。そこで、本発明は薄膜トランジスタや金属配線バタンが集

積形成された下層領域表面の平坦化を図り、液晶の配向制御を均一化する事を目的とする。

【0004】ところで、従来の表示用基板では薄膜トランジスタ等を含む下層領域の上にマトリクス状の画素電極を含む上層領域が形成される。画素電極は透明導電膜を成膜した後所定の形状にバタニングして形成される。この際、下層領域を平坦化処理するとその表面状態が必ずしも透明導電膜の成膜に適した条件とならない懸れがある。この様な場合成膜された透明導電膜の組成が不均一になる為、バタニングの為のエッチング処理を精密に制御できず、画素電極の微細加工が困難になる。そこで、本発明は平坦化処理された表面を改質し透明導電膜の成膜条件を安定化する事を特に目的とする。

【0005】

【課題を解決するための手段】上述した本発明の目的を達成する為に以下の手段を講じた。即ち、本発明によれば表示用基板は以下の工程により製造される。最初に、基板上に薄膜トランジスタを集積形成して下層領域とする第一工程を行なう。次に、該下層領域表面の凹凸を埋める様に平坦化膜を形成する第二工程を行なう。続いて、該平坦化膜を選択的にエッチングして該下層領域に連通するコンタクトホールを設ける第三工程を行なう。さらに、該平坦化膜に対して表面灰化処理を施しコンタクトホール内のエッチング残渣を除去する第四工程を行なう。その後、該平坦化膜を加熱処理してその表面状態を一様に緻密化及び平滑化する第五工程を行なう。続いて、緻密化及び平滑化された該平坦化膜の表面に透明導電膜を成膜する第六工程を行なう。最後に、該透明導電膜をバタニングしてマトリクス状の画素電極を形成し該コンタクトホールを介して下層領域に導通する上層領域とする第七工程を行なう。以上の工程により表示用基板が作成される。この表示用基板を用いてアクティブマトリクス型液晶表示装置を組み立てる場合には、所定の間隙を介して該表示用基板に対向基板を接合し、該間隙に液晶を注入する。

【0006】好ましくは第二工程の形成段階で平坦化膜の仮焼成を行ない、第五工程の加熱処理段階で平坦化膜の本焼成を行なう。又、第三工程の選択的エッチングでは、感光性を有する平坦化膜に対し写真蝕刻を適用してコンタクトホールを開口する。さらに、第四工程の表面灰化処理では、酸素プラズマを用いたアッシングを行ないコンタクトホール内の残渣を除去する。加えて、第六工程ではインジウムと錫の複合酸化物をスパッタリングして透明導電膜を成膜する。

【0007】

【作用】本発明によれば、複数の薄膜トランジスタを含む下層領域の凹凸を埋める為透明樹脂等からなる平坦化膜を用いている。この平坦化膜の平らな表面にマトリクス状の画素電極を含む上層領域を形成している。これを用いてアクティブマトリクス型の液晶表示装置を組み立

てる場合には、マトリクス状の画素電極を被覆する様に配向膜を設ける。従って、配向膜は実質的に平坦な表面を有しており段差部の影響を受けない為リバースチルトドメインを低減させる事が可能になる。又、画素電極周囲には盛り上がった部分が存在しない為、横方向の電界の影響を受ける事がなく、安定した液晶のオン／オフ制御を行なう事ができる。

【0008】下層領域に属する薄膜トランジスタと上層領域に属する画素電極とを互いに電気接続する為、中間の平坦化膜にコンタクトホールがエッチングにより開口される。さらに、電気的な導通を完全なものとする為、コンタクトホール内のエッチング残渣を除去する目的で、平坦化膜に対して表面灰化処理を施す。この灰化処理により平坦化膜の表面は荒れた状態となり硬度も局所的にばらつく。そこで表面灰化処理後、平坦化膜を加熱処理してリフローを行ない表面状態を一様に緻密化及び平滑化する。この様に緻密化及び平滑化された平坦化膜の表面に対し透明導電膜をスパッタリング等で成膜する。下地となる平坦化膜表面の状態が極めて一様である為透明導電膜の組成が均一になる。従って、バタニングの為のエッチングも制御性良く均一に進行し、精密な寸法を有する画素電極を得る事が可能になる。

【0009】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる表示用基板製造方法を示す工程図である。先ず最初に工程Aで、石英等からなる絶縁基板の表面に薄膜トランジスタを集積形成して下層領域1を設ける。さらに平坦化膜2を塗布して下層領域1表面の微細な凹凸を埋める。平坦化膜2としては例えば感光性を有する透明樹脂等をスピンドルコートして成膜する。スピンドルコート後、仮焼成(プリベーク)して平坦化膜2を固化させておく。次に工程Bで、平坦化膜2を選択的にエッチングし、下層領域1に連通するコンタクトホール3を設ける。本例では平坦化膜2が光感光性を有している為、写真蝕刻を直接適用でき、露光及び現像によりコンタクトホール3を開口する事ができる。この場合、平坦化膜2と現像液との間で化学反応が生じる為、平坦化膜2の表面及びコンタクトホール3内には被膜4により覆われる。この被膜4は例えば60nm程度の厚みであり、平坦化膜2は例えば1400nm程度の厚みを有する。又、コンタクトホール3の底部にはエッチングの残渣5が残り、このままの状態では良好な電気的導通をとる事はできない。なお、場合によってはこの後、後露光処理を行ない、平坦化膜2に含有されている光吸収剤を脱色(ブリーチング)し完全な透明化を図る。

【0010】続いて工程Cで、平坦化膜2に対して表面灰化処理を施し、コンタクトホール3内のエッチング残渣を除去する。この時同時に、被膜4も除去され、仮焼成状態にある平坦化膜2の表面が露出する。表面灰化処

理としては、例えば酸素プラズマを用いたライトアッティングを行ない、コンタクトホール3内の残渣を灰化する。酸素プラズマ処理を受ける為平坦化膜2の露出した表面は荒れた状態となり不均一化する。次に工程Dで、平坦化膜2を加熱処理してその表面状態を一様に緻密化及び平滑化する。この加熱処理はポストベークとして行なわれ、平坦化膜2が本焼成され内部の重合化が促進される。同時に平坦化膜2の表面6がリフローを受け緻密化及び平滑化する。この結果、表面6の硬度は基板全体に渡って一様になる。この後、場合によってはライトエッティングを行ない、コンタクトホール3の底部に露出した下層領域1の表面を清浄化する。例えば、フッ酸を用いて、薄膜トランジスタを構成する多結晶シリコン表面の酸化被膜を除去する。

【0011】次に工程Eで、緻密化及び平滑化された平坦化膜2の表面6に対し、透明導電膜7を成膜する。例えば、スパッタリングによりインジウムと錫の複合酸化物(ITO)を堆積して透明導電膜7とする。表面6はリフローを受け硬度及び形状が均一である為、スパッタリング時におけるITOのグレイン同士の成長の仕方が均一となり、ス等を含まない一様な組成の透明導電膜7が得られる。又、残渣が予め除かれたコンタクトホール3に対しても透明導電膜7が充填される為、下層領域1に対する良好な電気的導通をとる事ができる。最後に、工程Fで透明導電膜をエッティング等でバタニングし、マトリクス状の画素電極8を形成する。画素電極8を含む上層領域は前述したコンタクトホール3を介して下層領域1に導通し、表示用基板が完成する。透明導電膜7は均一の組成を有している為、エッティングを行なった場合でも制御性が良く、微細且つ精密な画素電極8の形状が得られる。

【0012】図2は、表示用基板製造方法の参考例を示す工程図である。図1に示した本発明にかかる表示用基板製造方法との比較を容易にする為、対応する部分には同一の参照番号を付してある。先ず工程Aで、基板上に薄膜トランジスタを集積形成して下層領域1を設ける。続いて平坦化膜2を塗布して下層領域1表面の微細な凹凸を埋める。次に工程Bで、平坦化膜2を選択的にエッティングして下層領域1に連通するコンタクトホール3を設ける。この際、平坦化膜2の表面はエッティング液との反応等により被膜4で被覆され、コンタクトホール3の内部にはエッティング残渣5が残る。ここまででは図1に示した本発明の製造方法と同様である。

【0013】工程Cでは、本発明の製造方法と逆に、先に平坦化膜2を加熱処理して本焼成(ポストベーク)を行なっている。この本焼成により平坦化膜2の内部は重合化(架橋化)が進行する。但し、重合反応は必ずしも均一に進行せず、軟らかい部分(粗なハッキングで示す)と硬い部分(密なハッキングで示す)とが混在する。次に工程Dで、平坦化膜2に対し表面灰化処理を施

しコンタクトホール3内のエッティング残渣を除去する。同時に、平坦化膜2の表面を覆っていた被膜4も除去される。これにより、平坦化膜2が露出するが、表面には軟らかい部分6aと硬い部分6bが現われ、組成的に不均一である。加えて、この表面は灰化処理に用いた酸素プラズマに曝露される為不均一な硬度及び形状になってしまう。

【0014】続いて工程Eで、平坦化膜2の表面に透明導電膜7を成膜する。これは、ITOをスパッタリングで堆積させる。この際、表面の硬い部分6bからITO原子の成長が始まる。一方、軟らかい部分6aではITO原子が平坦化膜中に潜り込む為、硬い部分6bに比べ膜成長が遅れる。この結果、成膜された透明導電膜7にス9が発生してしまう。最後に工程Fでエッティングにより透明導電膜7をバタニングし、マトリクス状の画素電極8を形成する。この際、上述したス9を通じてエッティング液が浸入する為、通常のITO原子を溶解しながら進行するエッティング速度よりも、このス9の周辺部が速くエッティングされてしまう。従って、サイドエッティングが制御できなくなり画素電極8のバタンエッジがギザギザになる。一般に、ウェットエッティングでは表面拡散、粒界拡散、結晶内拡散の順に拡散係数が大きくなる。この為、透明導電膜の内部にスができると、その間を通して粒界拡散が促進される為、均一なエッティングができずサイドエッティングの原因となる。又、エッティング速度が面内ではらつく場合には、局所的にサイドエッティングが進行し過ぎ、画素電極バタンが収縮する。他の部分では逆に画素電極間がエッティング除去できず画素分離が困難になる。この為、製品歩留りが極端に悪化する。

【0015】図3は、平坦化膜の表面状態を表わしており、SEMにより撮像されたイメージである。拡大倍率は60Kに設定されている。(a)はコンタクトホールを開口する為に行なった露光現像処理の後の表面状態を表わしている。(b)は図2に示した参考例で、加熱処理を施した後の状態を表わしており、本焼成(ポストベーク)済みの状態である。(c)は加熱処理後、残渣除去の為の灰化処理を受けた表面状態を表わしている。図から明らかな様に平坦化膜の表面は不均一であり荒れた状態になっている。一方(d)は露光現像後、本発明に従って先に灰化処理を施した後の表面状態を表わしている。酸素プラズマに曝露された結果表面状態は不均一で荒れている。(e)は加熱処理を受けた後の表面状態を表わしており、リフロー効果を受けて表面は緻密化及び平滑化されている。

【0016】次に図4は、本発明の製造方法に従った工程により成膜された透明導電膜(ITO)の断面状態を表わしている。これは、50Kの倍率でSEMにより撮影されたイメージである。透明導電膜は均一な組成を有しており内部にス等は発生していない。

【0017】図5は、図4に示した透明導電膜をバタニ

ングして得られた画素電極の形状を表わしている。これは1.5Kの倍率でSEMにより撮影されたイメージである。個々の画素電極は極めてシャープなエッジを有しており、サイドエッチング等は殆ど発生していない。又、隣接する画素電極間の分離も確実に行なわれている。

【0018】図6は、図2に示した参考例の製造方法に従って成膜された透明導電膜(ITO)の内部組成を表わしている。50Kの倍率でSEMにより撮影されたイメージである。平坦化膜表面の不均一性に起因して、透明導電膜内部にスガ多発している。

【0019】図7は、図6に示した透明導電膜をバタニングして得られた画素電極の形状を表わしている。1.5Kの倍率でSEMにより撮像したイメージである。画素電極のバタンエッジは極端なサイドエッチングを受け大きく変形している。

【0020】最後に図8～図10を参照して本発明にかかる表示用基板の製造方法の具体例を詳細に説明する。先ず最初に、図8の工程Aにおいて、石英等からなる絶縁基板の表面に一層目のポリシリコン(1Poly)をLPCVD法により成膜する。次にSiイオン注入を行ない一旦微細化した後固相成長を行ない1Polyの大粒径化を図る。その後1Polyを島状にバタニングし素子領域を形成する。さらにその表面を熱酸化しSiO₂としてゲート酸化膜を得る。さらにボロンイオンを所定濃度で注入し、予め閾値電圧の調整を行なう。次に工程Bにおいて、LPCVD法によりSiNを成膜しゲート窒化膜とする。このSiNの表面を熱酸化しSiO₂に転換する。この様にしてSiO₂/SiN/SiO₂の三層構造からなる耐圧性に優れたゲート絶縁膜が得られる。次にLPCVD法により二層目のポリシリコン(2Poly)を堆積する。2Polyの低抵抗化を図った後、所定の形状にバタニングしゲート電極Gを得る。次にゲート電極GをマスクとしてセルファーライメントによりAsイオンを注入し所謂LDL構造とする。続いてSiNを部分的にエッチングで除去した後、Asイオンを高濃度で注入し1Polyにソース領域S及びドレイン領域Dを設ける。この様にしてNチャネル型の薄膜トランジスタ(TFT)が形成される。なお、Pチャネル型のTFTを形成する場合にはボロンイオンを注入する。続いて工程CにおいてAPCVD法により第一層間絶縁膜(1PSG)を堆積する。この1PSGに第一コンタクトホール(1CON)をバタニング形成した後、スパッタリングによりアルミニウム(A1)を全面的に成膜する。これを所定の形状にバタニングしてTFTのソース領域Sに電気接続する金属配線バタンに加工する。次に工程Dにおいて、APCVD法により、1PSGに重ねて第二層間絶縁膜(2PSG)を堆積し、A1からなる金属配線バタンを完全に被覆する。この後、1PSG及び2PSGを連続的にエッチングし、TFT

のドレイン領域Dに連通する開口を予め設けておく。

【0021】図9の工程Eにおいて、2PSG表面の凹凸を平坦化膜で埋める。この為、本実施例では所定の粘性を有する液状の感光性アクリル樹脂をスピンドルティングで塗布した。その後仮焼成(ブリーベーク)を施しアクリル樹脂を固化させて平坦化膜とした。次に工程Fにおいて、平坦化膜に対して直接写真蝕刻(露光現像)を施し、第二コンタクトホール(2CON)を形成する。この2CONの底部にはエッチング残渣が残っているとともに、平坦化膜の表面は現像液との反応により生じた被膜により覆われている。続いて比較的強度の高い紫外線を照射して後露光を行ない、平坦化膜中に残留する光吸収剤を脱色(ブリーチング)して完全に透明化する。次に工程Gにおいて、平坦化膜の表面灰化処理を行ない、被膜を除去するとともに2CONの底部に残留したエッチング残渣を除去する。この表面灰化処理は、例えば基板温度を80°C～100°Cに設定して酸素プラズマを作用させライトアッシングを行なう。さらに加熱処理(ポストベーク)を行ない、平坦化膜を本焼成する。この結果、平坦化膜の表面はリフローを受け緻密化及び平滑化する。さらに、ライトエッチングを行ない、TFTのドレイン領域Dの表面を覆う酸化膜を除去する。例えば、フッ酸を作用させて酸化膜を溶解する。

【0022】図10の工程Hにおいて、スパッタリングにより透明導電膜を成膜する。本実施例では透明導電膜材料としてITOを用いる。ITOは2CONの内部にも充填され、TFTのドレイン領域Dと電気的な導通がとられる。最後に工程Iにおいて、ITOを所定の形状にバタニングし画素電極とする。以上の工程により平坦化された表示用基板が得られる。この後、表示用基板を用いてアクティブラチクス型の液晶表示装置を組み立てる場合には工程Jを行なう。即ち、所定の間隙を介して表示用基板に対向基板を接合し、間隙に液晶を注入する。なお対向基板の内表面には対向電極が予め形成されている。

【0023】

【発明の効果】以上説明した様に、本発明によれば、表示用基板に平坦化膜を適用して表面の起伏を吸収させ段差を取り除いている。従って、液晶分子のプレチルト角を均一化でき、リバースチルトドメインを抑制して表示品位を改善する事が可能になるという効果がある。この際、平坦化膜に対して表面灰化処理を施しコンタクトホール内のエッチング残渣を除去している。これにより、下層領域に含まれる薄膜トランジスタと上層領域に含まれる画素電極との間の電気的導通を良好に確保する事ができるという効果がある。さらに、表面灰化処理を施した後加熱処理を行ない平坦化膜の表面状態を一様に緻密化及び平滑化する。この上に透明導電膜を成膜する事により、その組成を顕著に改善でき、バタニング性が良好となる為画素電極の微細且つ精密なエッチングが可能に

なるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかる表示用基板の製造方法を表わす工程図である。

【図2】表示用基板の製造方法の参考例を示す工程図である。

【図3】表示用基板に成膜される平坦化膜の表面状態を表わすSEM像である。

【図4】本発明にかかる表示用基板の製造方法により作成された透明導電膜の組成を示すSEM像である。

【図5】本発明にかかる表示用基板の製造方法によりバターニングされた画素電極の形状を示すSEM像である。

【図6】透明導電膜の組成の参考例を示すSEM像である。

【図7】画素電極の形状の参考例を示すSEM像である。

* 【図8】本発明にかかる表示用基板の製造方法の具体例を示す工程図である。

【図9】同じく具体例を示す工程図である。

【図10】同じく具体例を示す工程図である。

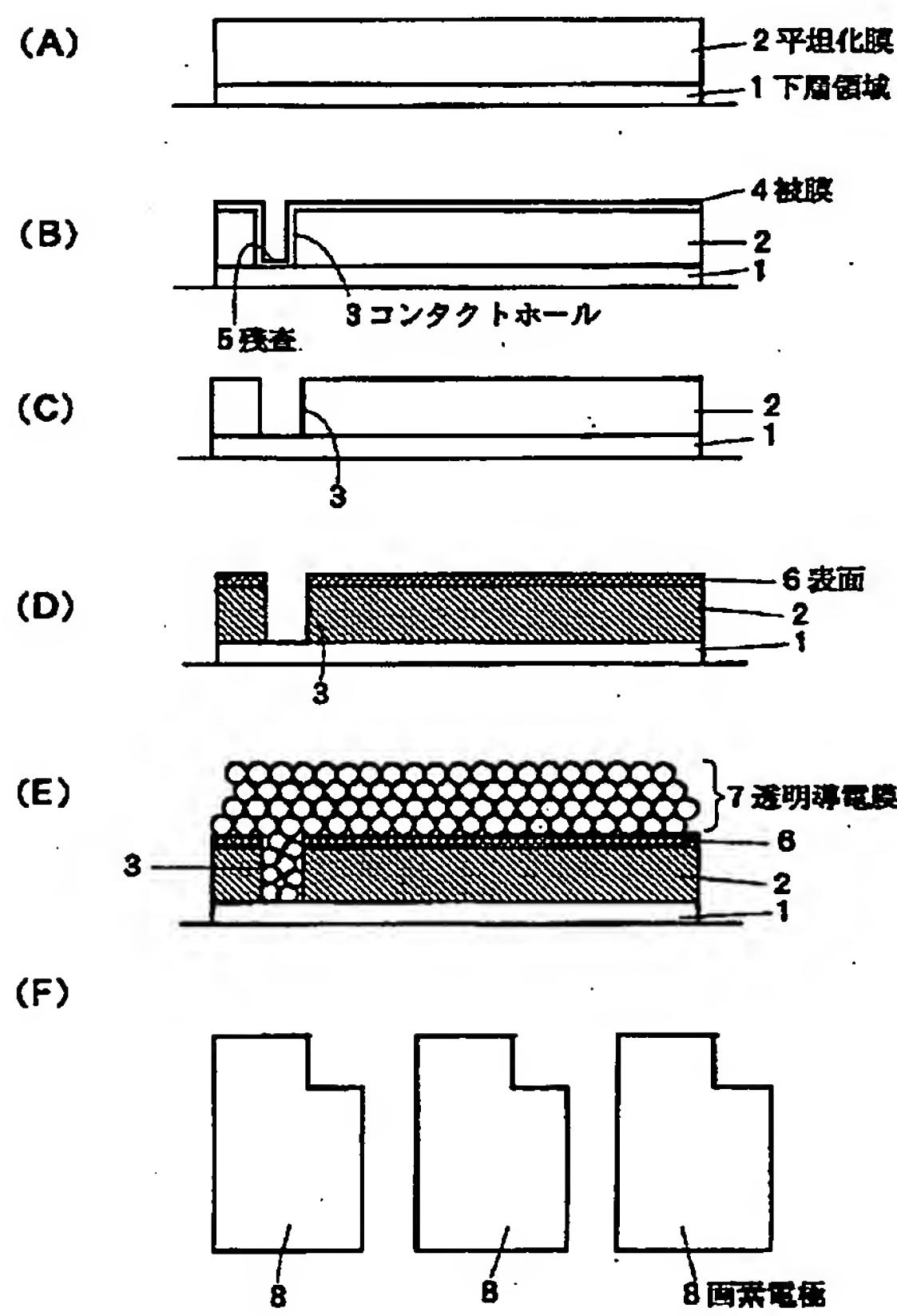
【図11】従来の液晶表示装置の一例を示す模式的な部分断面図である。

【符号の説明】

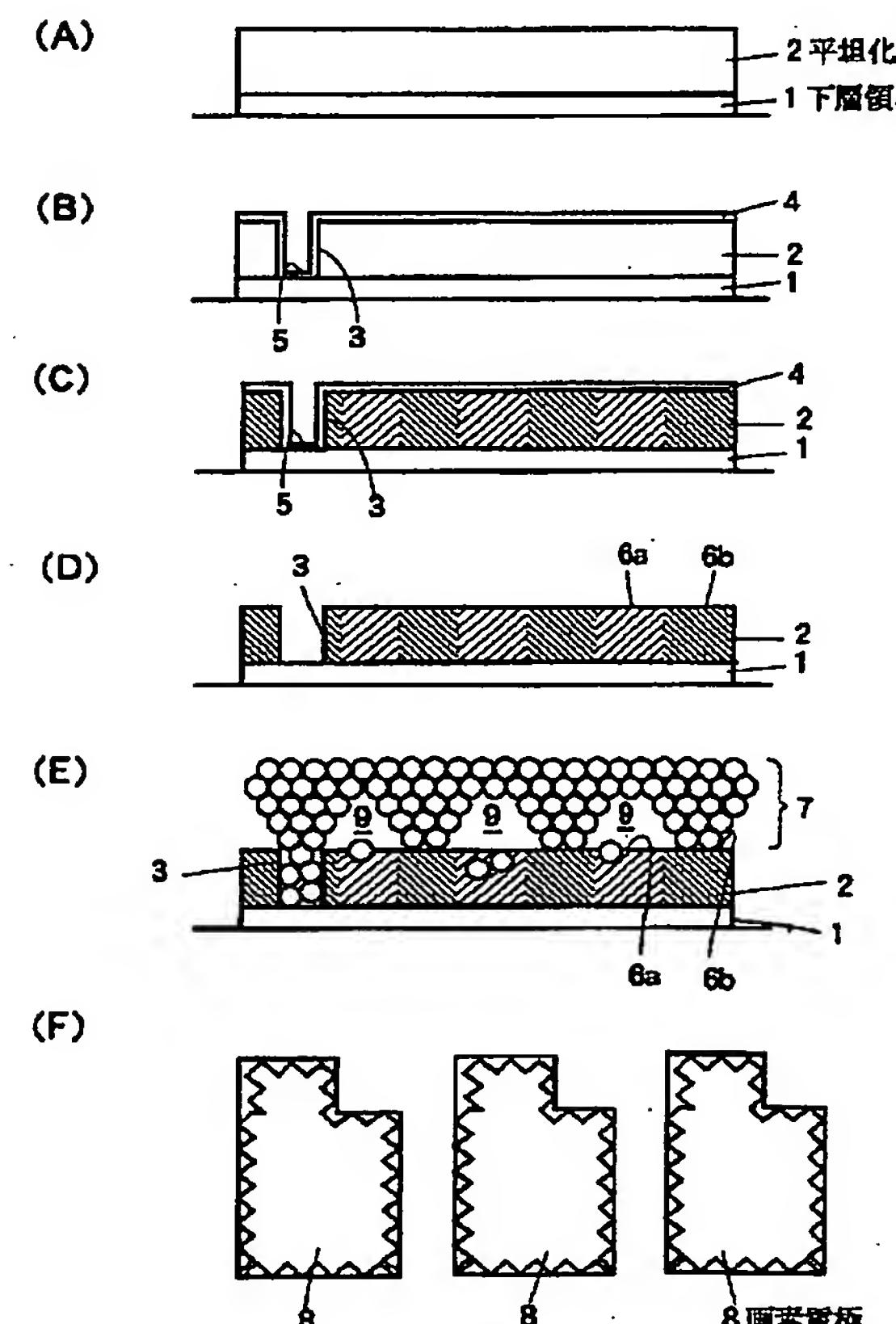
- | | |
|---|----------|
| 1 | 下層領域 |
| 2 | 平坦化膜 |
| 3 | コンタクトホール |
| 4 | 被膜 |
| 5 | 残渣 |
| 6 | 表面 |
| 7 | 透明導電膜 |
| 8 | 画素電極 |

*

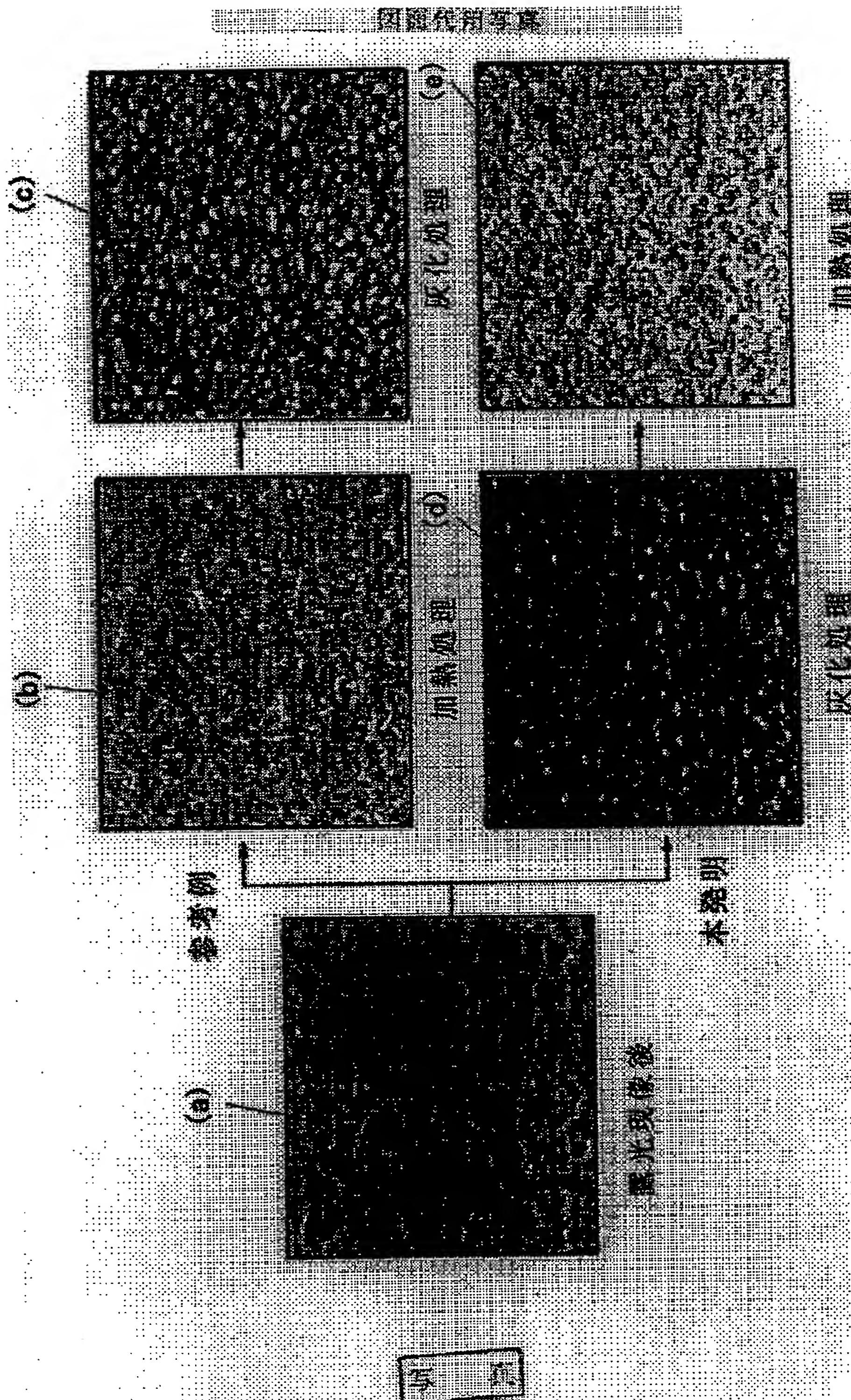
【図1】



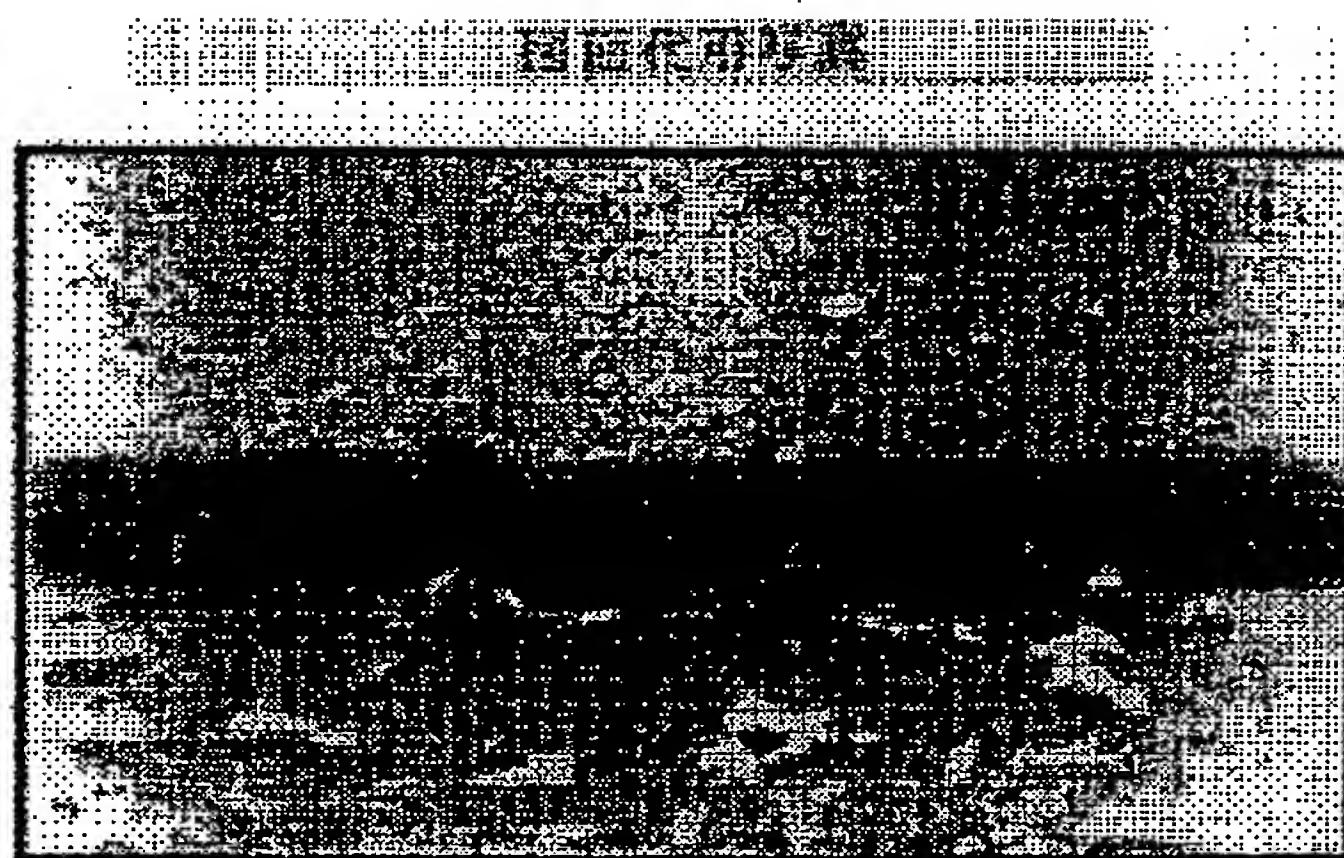
【図2】



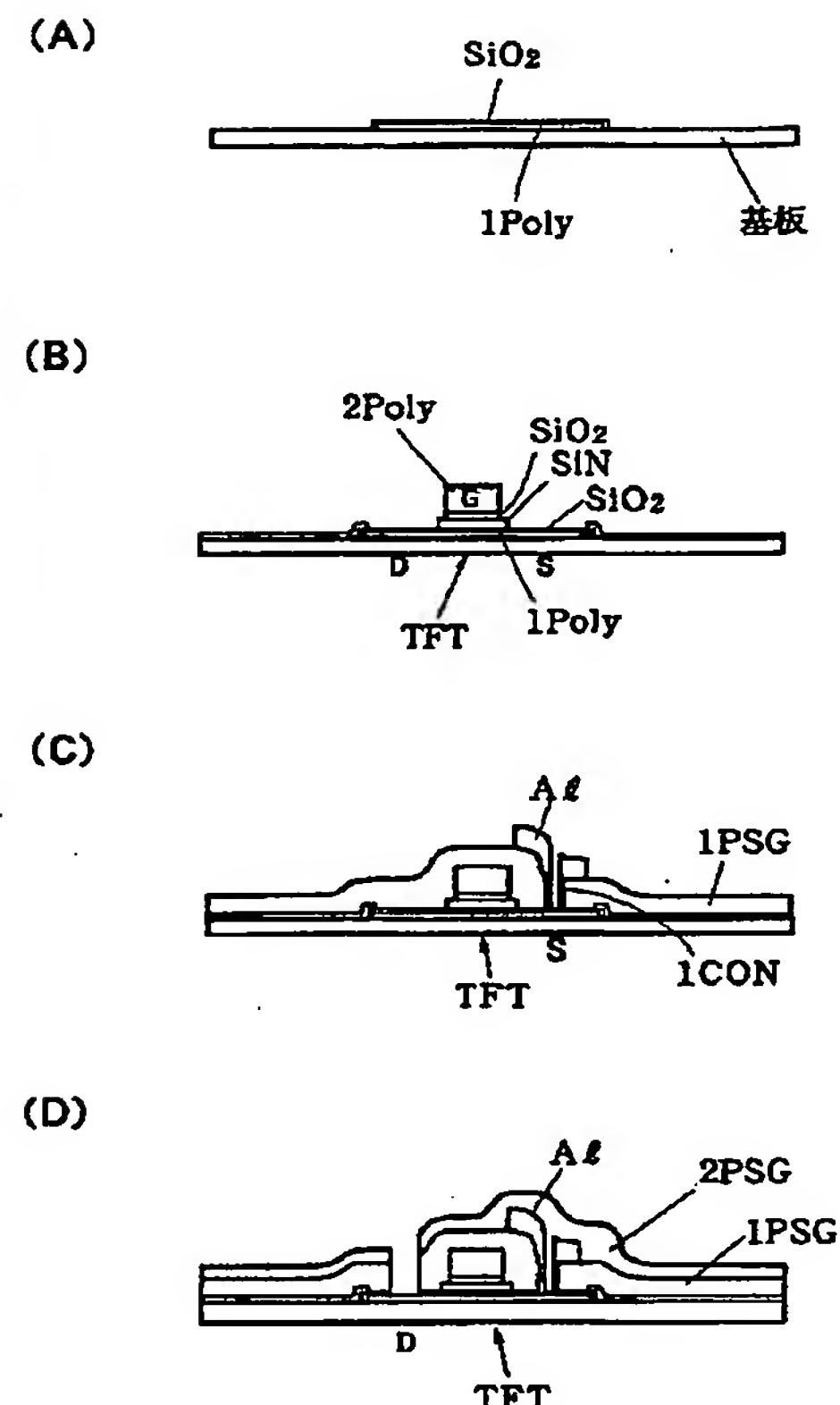
[図3]



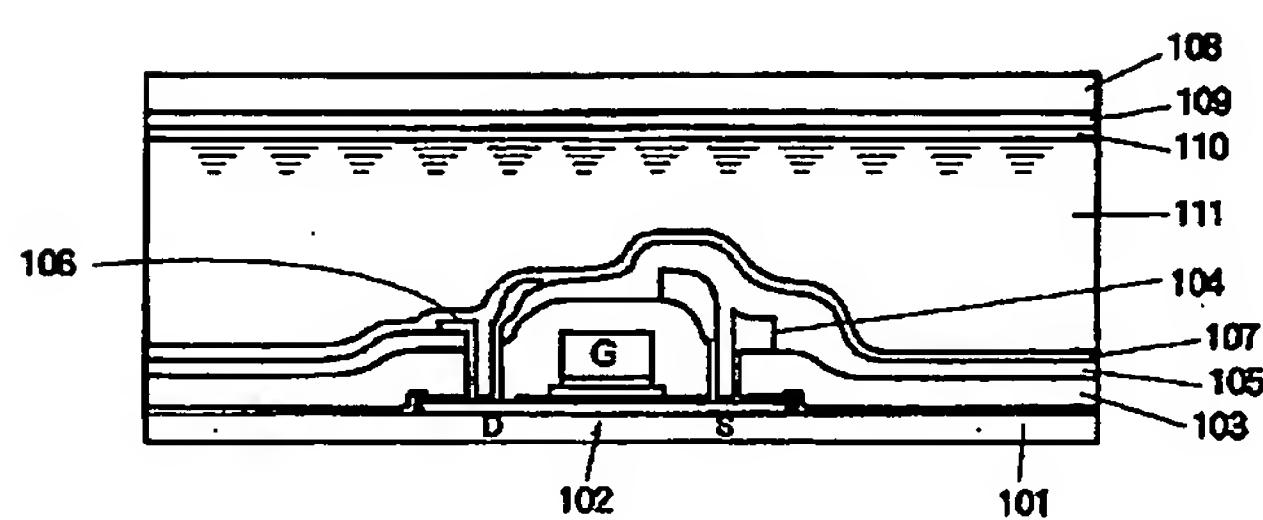
【図4】



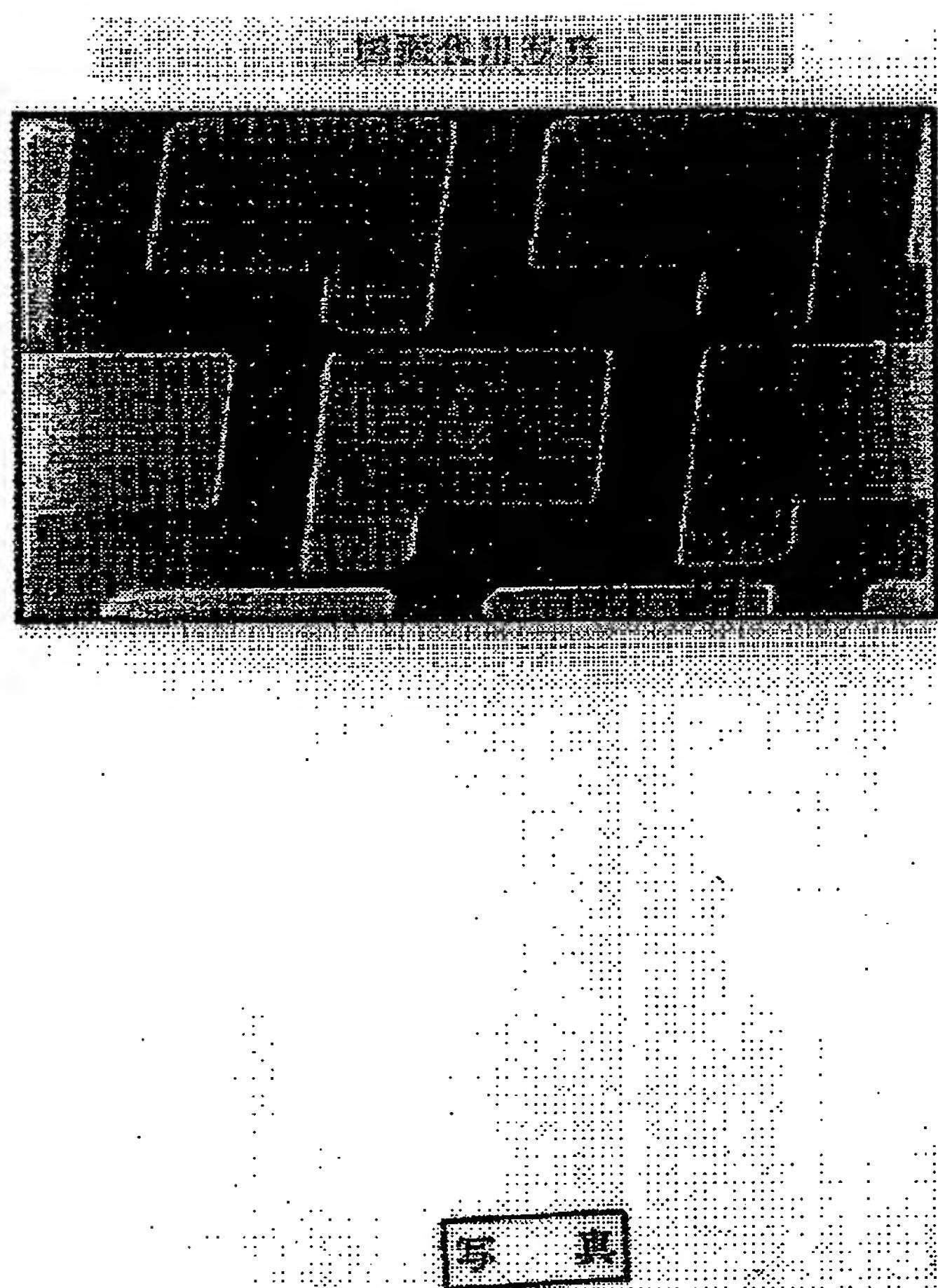
【図8】



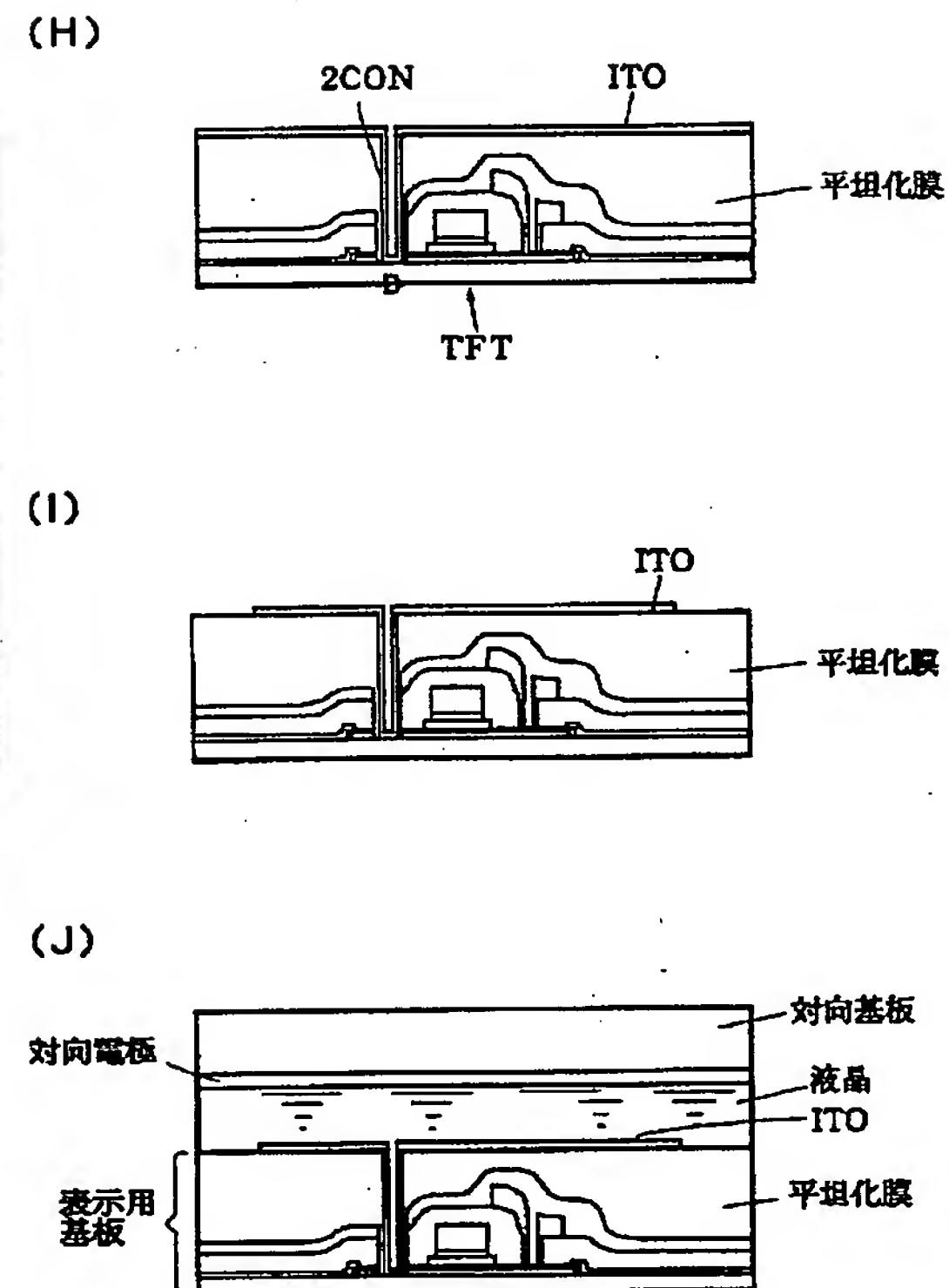
【図11】



【図5】



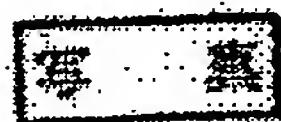
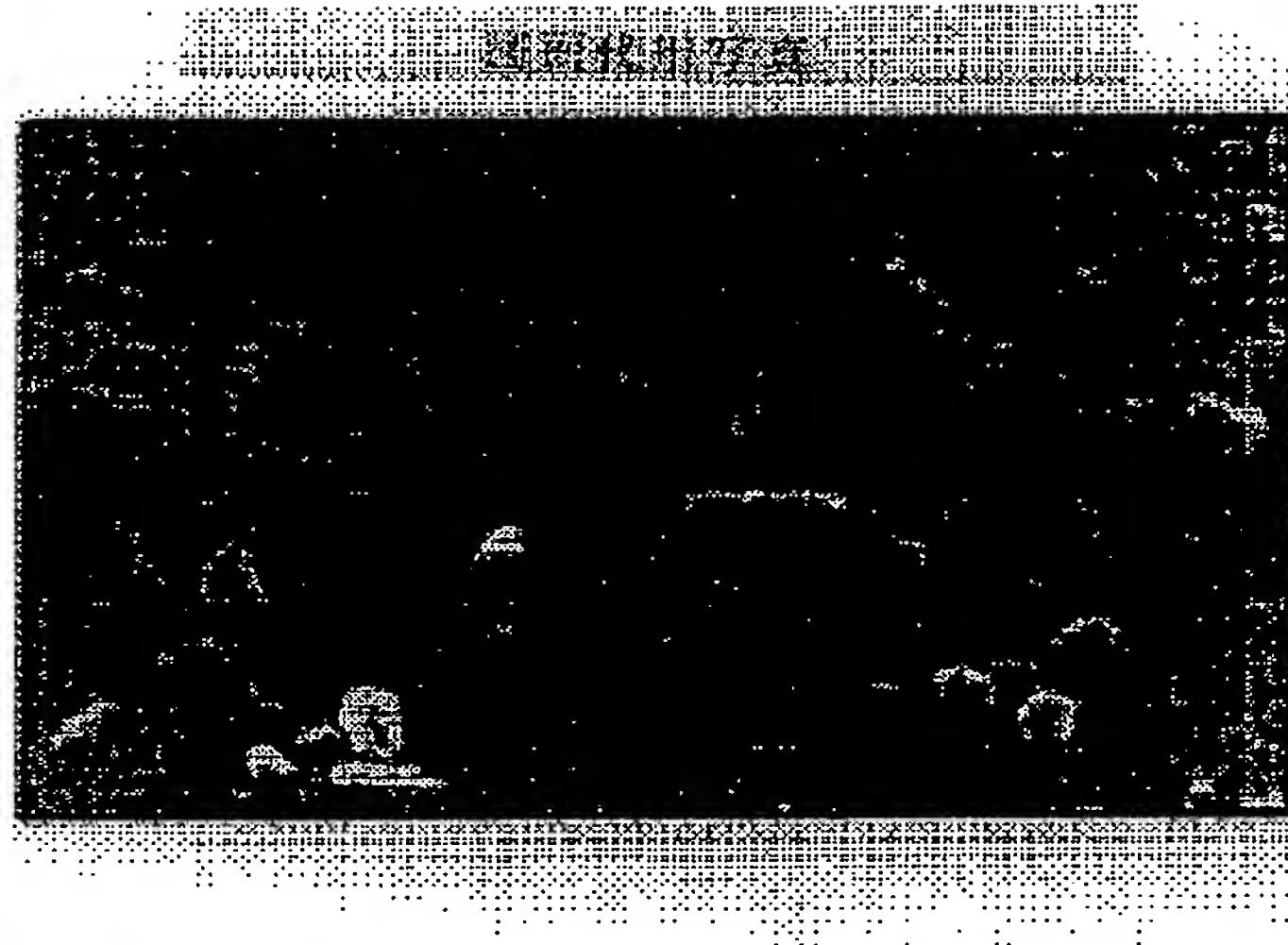
【図10】



(10)

特開平8-15731

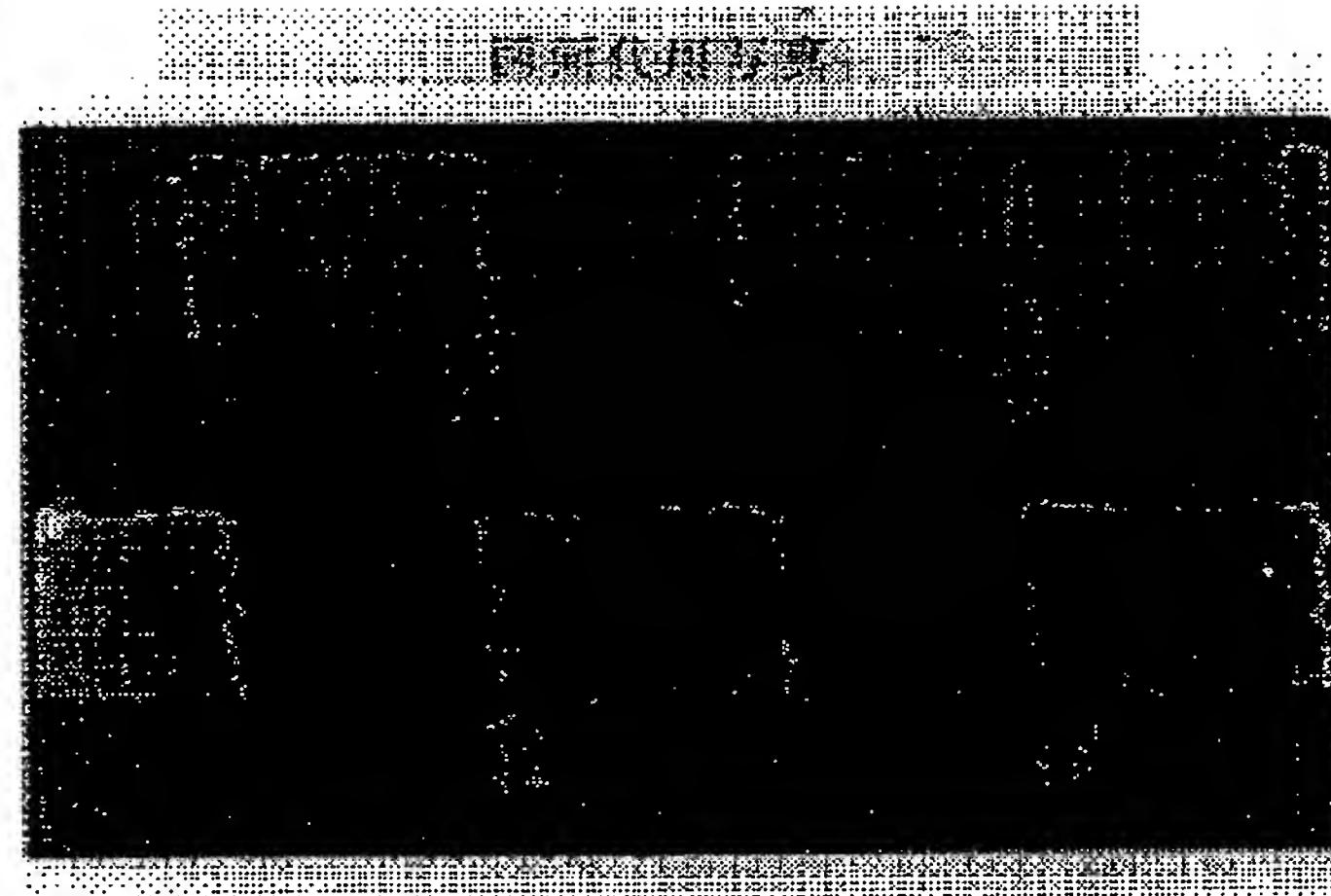
【図6】



(11)

特開平8-15731

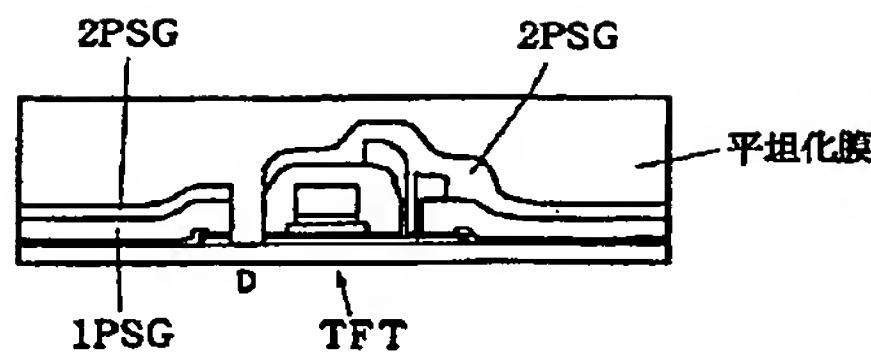
【図7】



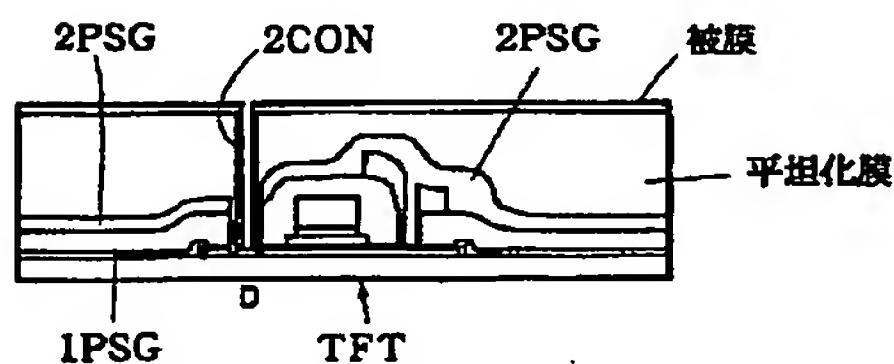
写 真

【図9】

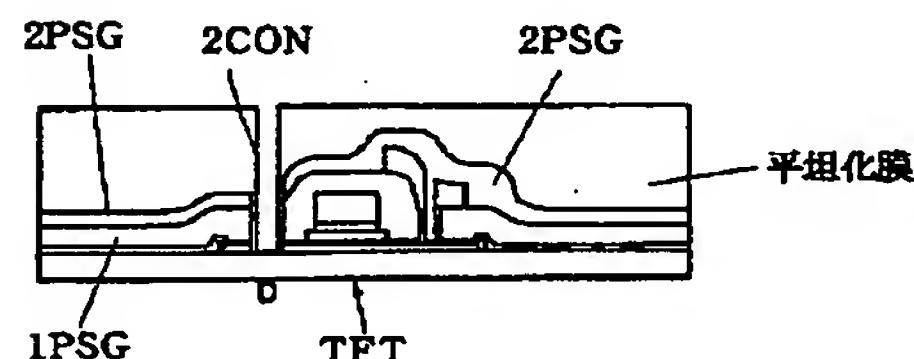
(E)



(F)



(G)



フロントページの続き

(72)発明者 林 久雄

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

THIS PAGE BLANK (USPTO)